

(54) SEMICONDUCTOR ELEMENT

(11) 62-35565 (A) (43) 16.2.1987 (19) JP

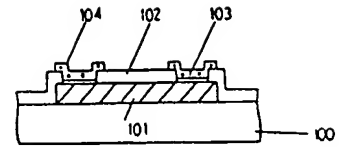
(21) Appl. No. 60-174801 (22) 8.8.1985

(71) SEIKO EPSON CORP (72) TOSHIHIKO MANO

(51) Int. Cl. H01L29/48, G02F1/133, G09F9/35

PURPOSE: To obtain a device having nonlinear characteristic by forming it of a nonsingle crystal silicon thin film, an oxide film formed on one surface of the thin film and a transparent conductive film formed on the oxide film, and having II-valency impurity or V-valency impurity in the thin film.

CONSTITUTION: A polycrystalline silicon 101 is formed by a reduced pressure CVD method on a quartz substrate 100. Then, phosphorus is diffused by a thermally diffusing method or an ion implanting method. After an SiO_2 film 102 is formed by a thermal oxidation or CVD method, a contacting hole is formed. Thereafter, an oxide film 103 of several ~ several tens Å is grown on a polycrystalline silicon in the hole by an O_2 plasma treatment. An ITO 104 is eventually wired by a sputtering method.



257/5381

THIS PAGE BLANK (USPTO)
THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-35565

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月16日

H 01 L 29/48
G 02 F 1/133
G 09 F 9/35

118

7638-5F
E-8205-2H
6810-5C

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体素子

⑯ 特 願 昭60-174801

⑰ 出 願 昭60(1985)8月8日

⑱ 発 明 者 真 野 敏 彦 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

1) 非単結晶シリコン薄膜と該シリコン薄膜の一面面に形成される酸化膜、及び該酸化膜上に形成される透明導電膜から成り、前記シリコン薄膜はⅡ価、あるいはⅢ価の不純物を有することを特徴とする半導体素子。

2) 特許請求範囲第1項に於いて、非単結晶シリコン薄膜に、多結晶シリコンを用いることを特徴とする半導体素子。

3) 特許請求範囲第1項に於いて、シリコン薄膜上の酸化膜をO₂プラズマにより形成することを特徴とする半導体素子。

4) 特許請求範囲第1項に於いて、透明導電膜にITOを用いることを特徴とする半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はショットキー接合を有する半導体層と金属とのコンタクト特性を応用したことによる半導体素子に関するものである。

近年、液晶を応用したディスプレイの研究が活発に行なわれている。その中で表示デバイスの各画素にスイッチ要素と信号蓄積要素を具備して表示デバイスを制御、駆動する方式は、クロストークを防いでコントラストを高め、各画素の信号蓄積キャパシタにより表示要素の応起時間伸長を図り、コントラストと応答特性の向上を行なう上で、文字表示から画素表示の広い分野で注目されている。この駆動方式には電界効果トランジスタと非直線素子のアレイによるものがある。本発明は、後者の非直線素子を有する新しい構造に関するものである。

(従来の技術)

本発明に類する従来の技術は、金属層/絶縁層/金属層(以下MIMと略す)から成るデバイスがあ

る。これは Poole-Frenkel 伝導機構を利用した非直線素子の代表的なデバイスである。第2図により簡単に説明する。第2図(a)で、例えば、絶縁基板 200 上に Ta 201 をスパッタリング等により形成し、しかる後、Ta₂O₅ 202 を酸化形成する。最後に Cr 203 を形成することにより MIM 素子が形成される。この素子の一般的な I-V 特性は第1図(c)に示す様に非直線形である。この MIM 素子を各面素の駆動スイッチング素子として応用した略図を第2図(b)で示す。ここで 201 は Ta、203 は Cr、204 は面素を形成する、例えば ITO 等の透明電極である。

発明の目的とするところ

本発明は、非直線形の特性を有する全く新しい構造のデバイスを提供するものであり、司の特性を有する従来の MIM 素子の欠点を改良しようとするものである。但し、前述した Ta/Ta₂O₅/Cr 構造についてあえて欠点を述べれば以下の様なものが挙げられる。

(1) Ta、Cr 共にスパッタリング、蒸着形成が

し、構造のスイッチング素子を提供するものである。

(実施例)

本発明による一実施例を第1図に従って説明する。第1図(a)は、本発明による半導体素子の構造断面図である。ここで、100 は石英、ガラス等の透明絶縁基板、101 はリン等、1面の不純物を有する多結晶シリコン、102 は SiO₂等の層間絶縁膜、103 は前記多結晶シリコンを酸化して得られる、極めて膜厚の小さい酸化膜、104 は ITO 膜である。以下に製造方法を示す。

石英基板 100 上に、減圧 CVD 法により多結晶シリコンを形成する。次に熱拡散法、イオン注入法によりリンを拡散する。熱酸化、CVD 法により SiO₂膜を形成した後、コンタクトホールを形成する。しかる後、O₂プラズマ処理によりコンタクトホール内の多結晶シリコン上に数 Å ～ 数十 Å の酸化膜を成長させる。最後に ITO をスパッタリング法により、配線形成したものが第1図(a)である。この時、工程を簡略化するために、第1図(b)の

一般的であり、スループットが悪い。

(2) 液晶表示デバイスに用いる場合、面素を形成する ITO 等の透明導電膜を含め、4層構造となる。

(問題点を解決する為の手段)

本発明は、不純物を有する Si 薄膜に極めて薄い酸化膜を形成し、該酸化膜上に ITO 等の透明導電膜を形成して得る。Si 薄膜と ITO 間の I-V 特性が、非直線形の特性を有することを応用した半導体素子に用いる。例えば、H 型の不純物を有する多結晶シリコンと ITO のコンタクト特性はオーミックでなくショットキー接合となるが、その I-V 特性は非直線形となる。また、多結晶シリコンの導電トランジスタを各面素のスイッチング素子として使用する液晶表示装置では、面素の ITO 等の透明導電膜と、多結晶シリコンとを直接コンタクトする構造が得られず、その時の特性は第1図(b)のようになる。本発明では、プロセスの工夫により、前記特性を MIM 素子のごとき特性(第1図(c))にすることにより

ように、102 の層間絶縁膜の形成を略してよい。

以上の様に形成した半導体素子の I-V 特性を第1図(c)で示す。この特性は、O₂プラズマ処理条件、ITO 形成後の熱処理条件により異なるが基本的には第1図(c)の様な耐圧を有する非直線形の特性となる。この特性は、通常の MIM 素子の特性と類似する。第1図(c)に本発明による半導体素子を各面素の駆動用スイッチング素子として応用した略図を示す。ここで 101 は多結晶シリコン、104 及び面素を形成する 104' は ITO により形成される。

前述した様に本発明の特性は、O₂プラズマ条件 ITO 形成後の熱処理条件により制御できる。即ち、O₂プラズマの(パワー×処理時間)が大きい程、又、熱処理条件の(温度×時間)が大きい程第1図(c)に示す耐圧範囲を大きくできる。

(発明の効果)

以上の様に、本発明による第1図(c)と従来技術の第2図(b)を比較してもわかる様に、O₂プラズマ処理により形成した酸化膜を1層と考えても、3

層あれば、面素及び駆動用スイッチング素子を形成できる。又、多結晶シリコンは、CVD法により形成でき、スパッタリング法によるTaに比してスルーホールが大きい。さらに、Oプラズマ条件熱処理条件により容易に、特性を制御できる。

以上、本発明はMIM素子のごとき特性を有する半導体素子であり、上述した効果を有するものである。

1. 図面の簡単な説明

第1図は本発明による半導体素子を示すものである。

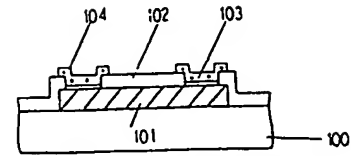
第1図(a)は構造断面図、(b)はI-V特性図、(c)は面素構成図、(d)はI-V特性図。

第2図(a)はMIM素子断面図、(b)はMIM面素構成図、

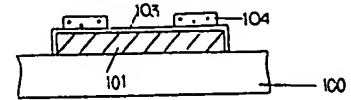
以上

出願人 株式会社 藤紡精工舎

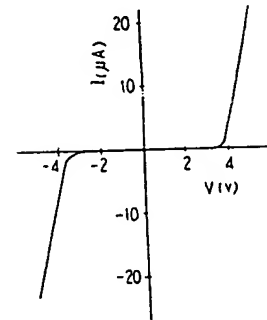
代理人 井理士 最上 務



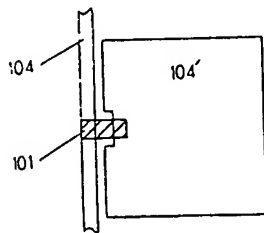
半導体素子の構造断面図
第1図(a)



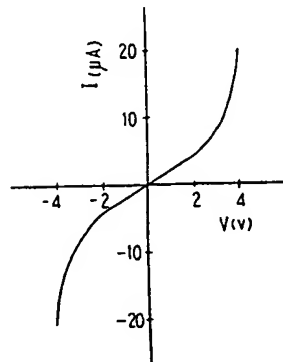
半導体素子の構造断面図
第1図(b)



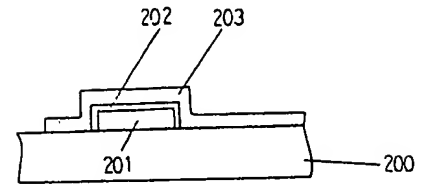
半導体素子のI-V特性図
第1図(c)



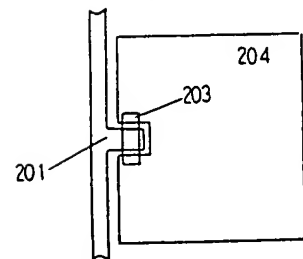
半導体素子の面素構成図
第1図(d)



半導体素子のI-V特性図
第1図(e)



MIM素子断面図
第2図(a)



MIM面素構成図
第2図(b)

THIS PAGE BLANK (USPTO)